

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199400  
(43)Date of publication of application : 31.07.1998

(51)Int.Cl. H01J 9/02

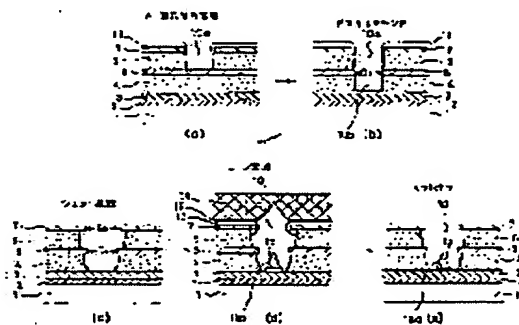
(21)Application number : 09-011837 (71)Applicant : FUTABA CORP  
(22)Date of filing : 08.01.1997 (72)Inventor : TOMITA MASAHARU  
TSUBURAYA KAZUHIKO  
ITO SHIGEO  
OBARA YUJI

## (54) MANUFACTURE OF FIELD EMISSION ELEMENT

### (57)Abstract:

PROBLEM TO BE SOLVED: To control the sizes of the hole diameters of the first and the second gate electrode layers individually.

SOLUTION: After a hole 10a is formed to a second gate electrode 7 and a second insulation layer 6 by an etching, a resist layer is peeled off, and a metal layer 11 is formed by a rotary oblique vaporization (a), a hole 10b is framed to the bottom of the hole 10a, a first gate electrode layer 5, and a first insulation layer 4 by the etching (b), and after the metal layer 11 is peeled off, a cone form emitter 15 is formed in the hole 10b (c, d, and e). And a metal layer is formed on the second gate electrode layer, on the wall of the first hole, and to the first gate electrode to be the bottom of the first hole, by the rotary oblique vaporization and then, the second hole is formed to the first gate electrode layer and the first insulation layer by the etching, and after an emitter material layer is deposited up to form a cone form emitter in the second hole, the above metal layer and the above emitter layer are lifted off.



## LEGAL STATUS

[Date of request for examination] 03.06.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3044603  
[Date of registration] 17.03.2000  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(51) Int.Cl.<sup>5</sup>

H 0 1 J 9/02

識別記号

F I

H 0 1 J 9/02

B

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平9-11837

(22) 出願日 平成9年(1997) 1月8日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 富田 正晴

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 円谷 和彦

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 伊藤 茂生

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(74) 代理人 弁理士 脇 篤夫 (外2名)

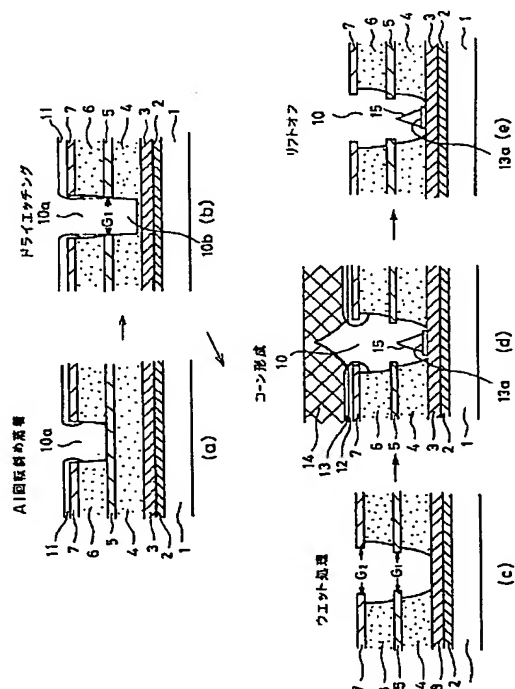
最終頁に続く

(54) 【発明の名称】 電界放出素子の製造方法

(57) 【要約】

【課題】 第一、第二ゲート電極層の孔径の大きさを個々に制御する。

【解決手段】 第二ゲート電極層7及び第二絶縁層6にホール10aをエッチングにより形成した後にレジスト層を剥離して、回転斜め蒸着によってメタル層11を形成し(a)、ホール10aの底部及び第一ゲート電極層5及び第一絶縁層4にホール10bをエッチングにより形成し(b)、メタル層11を剥離した後に、ホール10b内にコーン状のエミッタ15を形成する(c、d、e)。また、回転斜め蒸着によって第二ゲート電極層上及び第一のホールの壁部及び前記第一のホールの底面となる第一ゲート電極部にメタル層を形成し、次に、前記第一ゲート電極層及び第一絶縁層に第二のホールをエッチングにより形成し、エミッタ材料層を堆積させて前記第二のホール内にコーン状のエミッタを形成した後に、前記メタル層及び前記エミッタ材料層をリフトオフする。



## 【特許請求の範囲】

【請求項1】 基板の上にカソード電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、前記第二ゲート電極層の上に形成したレジスト層でパターンニングして、前記第二ゲート電極層及び前記第二絶縁層の所定の位置に第一のホールをドライエッチングにより形成し、次に前記レジスト層を剥離した後に、回転斜め蒸着によって少なくとも前記第二ゲート電極層を金属層で被着し、前記第一のホールの底面及び前記第一ゲート電極層及び前記第一絶縁層に対してドライエッチングすることによって前記第一のホールに続く第二のホールを形成し、前記金属層を剥離した後に、前記第二のホールの底面にリフトオフ工程によりコーン状のエミッタを堆積することを特徴とする電界放出素子の製造方法。

【請求項2】 基板の上にカソード電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、該第二ゲート電極層の上に形成したレジスト層でパターンニングして、前記第二ゲート電極層及び前記第二絶縁層の所定の位置に第一のホールをドライエッチングにより形成し、次に回転斜め蒸着によって前記レジスト層の上に金属層を形成して前記第一のホールの底面及び前記第一ゲート電極層及び前記第一絶縁層に前記第一のホールに続く第二のホールをドライエッチングにより形成し、次に前記レジスト層及び金属層を剥離した後に、前記第二のホール内にリフトオフ工程によりコーン状のエミッタを堆積することを特徴とする電界放出素子の製造方法。

【請求項3】 基板の上にカソード電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、該第二ゲート電極層の上に形成したレジスト層でパターンニングして、前記第二ゲート電極層及び前記第二絶縁層に第一のホールをドライエッチングにより形成して前記レジスト層を剥離して、次に前記第一のホールの底面及び第一のホールの周囲をエッチングして第一ゲート電極層を露出させ、次に回転斜め蒸着によって第二ゲート電極層上及び前記第一のホールの壁部及び前記第一のホールの底面となる第一ゲート電極層の一部に金属層を形成し、次に前記第一ゲート電極層及び前記第一絶縁層に第二のホールをエッチングにより形成し、次にエミッタ材料層を堆積させることによって前記第二のホール内にコーン状のエミッタを形成して、前記金属層及びエミッタ材料層をリフトオフすることを特徴とする電界放出素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、冷陰極として知られている電界放出カソードに関するものであり、特に新規な構成の集束電極を有する電界放出カソードの製造方法に関するものである。

## 【0002】

【従来の技術】金属または半導体表面の印加電界を $10^9$  [V/m]程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出(Field Emission)と云い、このような原理で電子を放出するカソードを電界放出カソード(Field Emission Cathode)と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなる面放出型の電界放出カソードを作成することが可能となっており、電界放出カソードは蛍光表示装置、CRT、電子顕微鏡や電子ビーム装置に用いられようとしている。

## 【0003】図4(a)(b)(c)(d)(e)

(f)にしたがい、例えば第一ゲートラインと第二ゲートラインとを有する三極管型の電界放出カソード(以下、FECと記す)の製造方法の従来例を説明する。

【0004】まず、図4(a)に示すように、ガラス等の基板41の上にカソード電極となる薄膜導体層42が例えば蒸着により形成されており、その上に不純物をドーパしたSiを成膜して第一抵抗層43を形成し、さらにその上に例えばSiO<sub>2</sub>によって絶縁層44が形成されている。そして、その上に第一ゲート電極層45となるNbが蒸着される。この第一ゲート電極層45上に前記した第一絶縁層44と同様に第二絶縁層46が例えばSiO<sub>2</sub>で形成され、さらに第二ゲート電極層47が第一ゲート電極層45と同一のNb材料で成膜される。

【0005】この積層基板はその表面にポジ型フォトリソ層(以下、単にレジスト層という)48を設けてパターンニングを行ない、図4(b)に示されているように開口パターン49を形成する。その後、この開口パターン49に対して例えばSF<sub>6</sub>ガスとCHF<sub>3</sub>ガスを併用して異方性エッチングを行い、図4(c)に示されているように第二ゲート電極層47、第二絶縁層46、及び第一ゲート電極層45、第一絶縁層44にホール50を形成する。このホール50を形成する際の異方性エッチングは、抵抗層43の直前で停止させることが困難であるから、通常抵抗層43の上に第一絶縁層44が約0.1μm程度残るところで終了している。

【0006】次に、フッ酸を使用し、図4(d)に示されているようにホール50側面の第一絶縁層44および第二絶縁層46をウェットエッチングする。そして、抵抗層43が露出し、かつ第一ゲート電極層45および第二ゲート電極層47が、若干張り出した状態となるようにする。さらに、図4(e)に示されているように、第二ゲート電極層47の上に例えばAl等による剥離層51、及びCr等によるバッファ材料層52を形成する。ここでバッファ材料層52を堆積させることによってホール50の底部にはバッファ層52aが形成される。そして、このバッファ材料層52の上からMo等のエミッタ材料層53を堆積させると、このエミッタ材料はバ

ファ層52aに堆積し、抵抗層43上にコーン状のエミッタ54が形成される。なお、バッファ材料層52及びバッファ層52aについての詳細な説明は省略するが、例えば本出願人による先行技術として特願平7-346273号に示されているように、ホール50内においてエミッタ54と抵抗層43の間にバッファ層52aとして配置することによって、例えばエミッタ54の付着強度を向上させるようにしている。この後、第二ゲート電極層47上の剥離層51、バッファ材料層52及びエミッタ材料層53を陽極酸化等の手法を用い、共に除去すると、図4(f)に示すように2層構造のFECが得られる。

#### 【0007】

【発明が解決しようとする課題】ところが、例えば図4(c)に示したように、ホール50を形成するためにRIEを行なう場合、レジスト層48と絶縁層44、46( $\text{SiO}_2$ )の選択比が取れない、すなわち、レジスト層48も絶縁層44のエッチング時にエッチングされてしまう。これによって、ホール50の形状がテーパー状になってしまう。したがって、第二ゲート電極層47の孔径G6、第一ゲート電極層45の孔径G5がサイドエッチングによって拡大してしまい、それぞれの孔径G5、G6を独立して制御することは困難である。また、図4で説明した方法では孔径G5より孔径G6を小さくすることは不可能であり、さらに、孔径G5と孔径G6の差が大きいほどエミッタ材料層53のリフトオフが困難になる。

【0008】また、孔径G6が孔径G5より大きくなると、例えば図5(a)に示されているように、エミッタ材料層53を堆積させてエミッタ54を形成する際、エミッタ54を形成するMoの一部が第二ゲート電極層47を通過して、第一ゲート電極層45に堆積部55として残積してしまう場合がある。この場合、リフトオフでは第一ゲート電極層45に付着している堆積部55を取り除くことが困難とされ、図5(b)に示されているようにリフトオフ後にも残ってしまう。また、堆積部55を取り除くためにエッチングを行なうと第一ゲート電極層45の突出部分が取れてしまうという問題がある。そこで、Moの残積を防ぐために剥離層51を厚くすると、エミッタ54が小さくなってしまい、必要なエミッション特性が得られない。

【0009】さらに、引き出し用として形成される第一ゲート電極層45の孔径G5と集束用として形成される第二ゲート電極層47の孔径G6を個々に制御することが困難なため、エミッタ54から放出される電子の集束機能と分配率を両立させるようにFECを構成することが容易ではない。

#### 【0010】

【課題を解決するための手段】本発明はこのような問題点を解決するためになされたもので、基板の上にカソー

ド電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、前記第二ゲート電極層の上に形成したレジスト層でパターニングして、前記第二ゲート電極層及び前記第二絶縁層の所定の位置に第一のホールをドライエッチングにより形成し、次に前記レジスト層を剥離した後に、回転斜め蒸着によって少なくとも前記第二ゲート電極層を金属層で被着し、前記第一のホールの底面及び前記第一ゲート電極層及び前記第一絶縁層に対してドライエッチングすることによって前記第一のホールに続く第二のホールを形成し、前記金属層を剥離した後に、前記第二のホールの底面にリフトオフ工程によりコーン状のエミッタを形成する。

【0011】また、基板の上にカソード電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、該第二ゲート電極層の上に形成したレジスト層でパターニングして、前記第二ゲート電極層及び前記第二絶縁層の所定の位置に第一のホールをドライエッチングにより形成し、次に回転斜め蒸着によって前記レジスト層の上に金属層を形成して前記第一のホールの底面及び前記第一ゲート電極層及び前記第一絶縁層に前記第一のホールに続く第二のホールをドライエッチングにより形成し、次に前記レジスト層及び金属層を剥離して、前記第二のホール内にリフトオフ工程によりコーン状のエミッタを形成する。

【0012】さらに、基板の上にカソード電極、第一絶縁層、第一ゲート電極層、第二絶縁層、第二ゲート電極層を順次積層し、該第二ゲート電極層の上に形成したレジスト層でパターニングして、前記第二ゲート電極層及び前記第二絶縁層に第一のホールをドライエッチングにより形成して前記レジスト層を剥離して、次に前記第一のホールの底面及び第一のホールの周囲をエッチングして第一ゲート電極層を露出させ、次に回転斜め蒸着によって第二ゲート電極層上及び前記第一のホールの壁部及び前記第一のホールの底面となる第一ゲート電極層の一部に金属層を形成し、次に前記第一ゲート電極層及び前記第一絶縁層に第二のホールをエッチングにより形成し、次にエミッタ材料層を堆積させることによって前記第二のホール内にコーン状のエミッタを形成して、前記金属層及びエミッタ材料層をリフトオフする。

【0013】本発明によれば、第二ゲート電極層に金属層を形成した状態で第一ゲート電極層の孔径をエッチングするので、第二ゲート電極層が金属層に保護されエッチングされないため、各ゲート電極層の孔径の大きさを独立して制御することができるようになる。

#### 【0014】

【発明の実施の形態】以下、本発明の電界放出素子の製造方法の実施の形態を説明する。図1(a)(b)

(c)(d)、及び図2(a)(b)(c)(d)

(e)は本実施の形態の電界放出素子の製造方法を説明する工程図であり、これらの工程図に示されている基板

1、薄膜導体層2、抵抗層3、第一絶縁層4、第一ゲート電極層5、第二絶縁層6、第二ゲート電極層7、レジスト層8は先に図4で説明した基板41、薄膜導体層42、抵抗層43、第一絶縁層44、第一ゲート電極層45、第二絶縁層46、第二ゲート電極層47、レジスト層48に対応している。

【0015】すなわち、図1(a)に示すように、ガラス等の基板1の上にカソード電極となる薄膜導体層2が蒸着により形成されており、さらにその上に不純物をドーピングしたSiを成膜して抵抗層3を形成し、さらにSiO<sub>2</sub>によって絶縁層4が形成されている。そして、その上に第一ゲート電極層5となるNbが蒸着される。そして、この第一ゲート電極層5上に前記した第一絶縁層4と同様に第二絶縁層6がSiO<sub>2</sub>で形成され、さらに第二ゲート電極層7が第一ゲート電極層5と同一のNb材料で成膜される。第二ゲート電極層7の上にはホールを形成するためのレジスト層8が設けられるが、本実施の形態では先に図4(a)に示した従来例よりも、薄く形成することができる。これによって、ホールパターンニングを行なう際の解像度を向上することができる。

【0016】まず、レジスト層8に対してパターンニングを行ない図1(b)に示されているように開口パターン9を形成する。その後、この開口パターン9に対して例えばSF<sub>6</sub>ガスとCHF<sub>3</sub>ガスを併用した2連続RIE(リアクティブ・イオン・エッチング)により、異方性エッチングを行い、第二ゲート電極層7、第二絶縁層6に図1(c)に示されているように第一開口部とされるホール10aを形成する。そして、図1(d)に示されているように第二ゲート電極層7上からレジスト層8を剥離する。

【0017】次に、図2に従いその後の工程を説明する。レジスト層8を剥離した後に図2(a)に示されているように、回転斜め蒸着によって、例えばAl、Cr等の耐ドライエッチング用の金属層11を堆積させ、第二ゲート電極層7を保護するとともに、図2(b)に示されているように、第二絶縁層6、第一ゲート電極層5、第一絶縁層4に対してドライエッチングを行ない第二開口部とされるホール10bを形成する。このとき第二ゲート電極層7は金属層11に保護されているので、その孔径G2を広げることなしにエッチングを行なうことができる。第一ゲート電極層5の孔径G1は金属層11を蒸着する厚みを定めることによって、ほぼG1≒G2又はG1<G2となるようにすることができ、且つ第一ゲート電極層5のエッチング条件にてサイドエッチング量を増やすことでG1>G2も可能である。また、第二絶縁層6のサイド部分の拡がりもエッチング量で制御することができる。

【0018】このように、本発明では金属層11を回転斜め蒸着によって形成する際に、その厚みと第一ゲート電極層5のサイドエッチング量を制御することによ

て、第一ゲート電極層5の孔径G1の大きさを制御することができる。なお、図2(b)におけるエッチングにおいては、抵抗層3の直前で停止させ、第一絶縁層4を所定の厚みだけ残すようにする。

【0019】次に、図2(c)に示されているように、ウェット処理を行なう。すなわち、例えばリン酸によって金属層11を除去し、さらに、例えばフッ酸を使用し、ホール10aの壁部を形成している第二絶縁層6及びホール10bの壁部を形成している第一絶縁層4をウェットエッチングする。そして、抵抗層3が露出し、かつ第一ゲート電極層5および第二ゲート電極層7が若干張り出した状態となるようにする。

【0020】その後、図2(d)に示されているように、第二ゲート電極層7の上に例えばAl等の金属層12、及び例えばCr等のバッファ材料層13を蒸着させる。このとき、ホール10bの底面(抵抗層3)にはバッファ層13aが形成される。さらに、バッファ材料層13の上から例えばMo等のエミッタ材料層14を堆積させ、バッファ層13aの上にエミッタ15を形成する。金属層12はリフトオフ層として形成され、エミッタ15が形成された後にバッファ材料層13、エミッタ材料層14を除去する為に形成されている。そして、図2(d)に示したようにホール10b内にエミッタ15を形成した後に、例えばリン酸等によるリフトオフを行ない、図2(e)に示されているように、エミッタ材料層14を取り除くことによって、2層構造のFEC積層基板が形成される。

【0021】このように、本実施の形態では、例えば図2(a)に示した金属層11を回転斜め蒸着によって形成する際に、その厚みを制御して第二ゲート電極層7に形成されている孔径G2の内側にどれだけせり出させるかによって、第一ゲート電極層5の孔径G1の大きさを制御することができる。また、図2(b)に示したように、第一ゲート電極層5をエッチングする場合、第二ゲート電極層7は金属層11によって保護されているので、サイドエッチングによって孔径G2が広がることを防止できる。さらに、孔径G1と孔径G2を独立して制御することができるので、孔径G1よりも孔径G2を大きく形成することも可能になる。

【0022】なお、本実施の形態では図1(c)に示したように、ドライエッチングによってホール10aを形成した後にレジスト層8を剥離するように説明したが、例えば図1(c)に示した状態で、レジスト層8を剥離せずにその上から金属層11を蒸着して、エミッタ15を形成した後のリフトオフ時(図2(e))に、例えばリン酸とレジスト剥離液を用いて除去するようにしてもよい。この場合、金属層11はレジスト層8の上に形成されているので、レジスト層8とともにきれいに除去することができ、金属層剥離工程を省略することができるようになる。

【0023】次に、図3にしたがい本発明の他の実施の形態を説明する。なお、この実施の形態では先に図1

(a)～(d)で説明した工程は同様とされ、図3

(a)からは図1(d)に続く工程を示している。また、図3に示されている基板21、薄膜導体層22、抵抗層23、第一絶縁層24、第一ゲート電極層25、第二絶縁層26、第二ゲート電極層27、ホール28a、28bは先に図1で説明した基板1、薄膜導体層2、抵抗層3、第一絶縁層4、第一ゲート電極層5、第二絶縁層6、第二ゲート電極層7、ホール10a、10bに対応している。

【0024】この実施の形態では、図1(d)で説明した例と同様に、第二ゲート電極層27と絶縁層26をエッチングした後にウエット処理を施し、さらに例えば図3(a)に示されているように第一開口部とされるホール28aの壁部をエッチングして、第二ゲート電極層27が若干張り出した状態となるようにする。また、このとき第一ゲート電極層25をホール28aの底部として露出させるようにする。そしてこの実施の形態では、第二ゲート電極層27の上に例えば角度 $\theta$ を以て、例えばAl、Cr等の金属を回転斜め蒸着によって蒸着し、図3(b)に示されているようにメタル層29を形成する。なお角度 $\theta$ は回転斜め蒸着を行なったときに、ホール28aの底面として露出されている第一ゲート電極層25の端部付近にも堆積される角度とする。

【0025】次に、図3(c)に示されているように、第一ゲート電極層25と第一絶縁層24のエッチングを行ない第二開口部とされるホール28bを形成することになるが、このときの、第一ゲート電極層25の孔径G3の大きさは図3(b)に示した第一ゲート電極層25が露出している面積に相当する。つまり、図3(b)において回転斜め蒸着を行なう角度 $\theta$ を変えることによって、孔径G3の大きさを設定することができるようになる。第一ゲート電極層25と第一絶縁層24がエッチングされた後、図3(d)に示されているように、ウエット処理によってホール28bにおける第一絶縁層24の壁部をエッチングして、第一ゲート電極層25の端部が若干張り出した状態となるようにする。

【0026】そして、メタル層29の上にバッファ材料層30、エミッタ材料層31を堆積させて、図3(e)に示されているように抵抗層23の上にバッファ層30a、エミッタ32を形成し、その後例えばリン酸等によってエミッタ材料層31と共にメタル層29をリフトオフする。これによって、図3(f)に示されているように二層構造のFECを構成することができるようになる。このように、他の実施の形態では、図3(b)に示したように、第二ゲート電極層27を保護するメタル層29を形成することによって、このメタル層29をリフ

トオフするとともにエミッタ材料層31を除去することができるので、先に図2(d)に示したように、エミッタ材料層14をリフトオフするためのメタル層12を形成する必要がなく、製造工程を簡素化することができるようになる。また、リフトオフを行なう場合に、第一ゲート電極25付近に堆積したMo等のエミッタ材料層31の一部を同時に除去することができるようになる。

【0027】

【発明の効果】以上、説明したように本発明は、エミッタコーンが形成されるホールをエッチングする工程で、メタル層をレジスト膜としてエッチングする工程を付加することにより、第一ゲート電極層の孔径をエッチングする際に第二ゲート電極層がエッチングされないで、第一及び第二ゲート電極層の孔径をそれぞれ独立して制御することができるようになる。また、メタル層を形成する例えばAlと、絶縁層を形成するSiO<sub>2</sub>の選択性が高いため、O<sub>2</sub>等を用いてエッチングレートを速くすることができるようになる。さらに、メタル層をリフトオフ層と兼用することにより、工程数を削減することができる。またさらに、レジスト層上に直接メタル層を斜め蒸着することで、レジスト層を除去することによってレジスト層と共にメタル層を高速かつ確実に除去することができるという利点がある。

【図面の簡単な説明】

【図1】本発明の実施の形態の電界放出素子の製造方法の工程を説明する図である。

【図2】図1に続く実施の形態の電界放出素子の製造方法の工程を説明する図である。

【図3】本発明の他の実施の形態の電界放出素子の製造方法の工程を説明する図である。

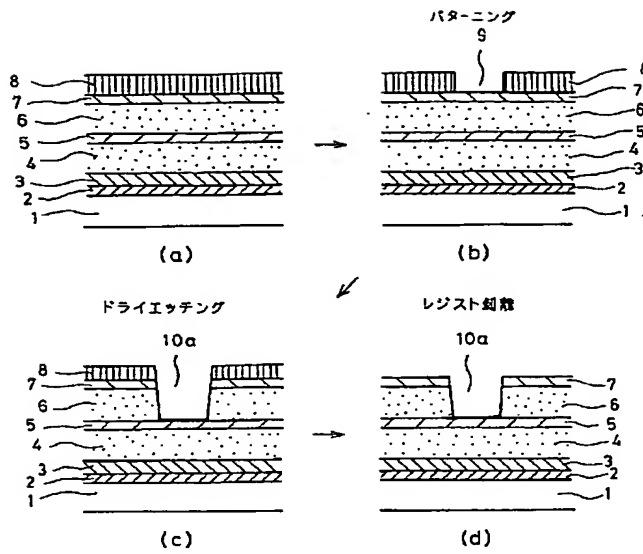
【図4】従来の電界放出素子の製造方法の工程を説明する図である。

【図5】従来の第一ゲート電極層に堆積したエミッタ材料を説明する図である。

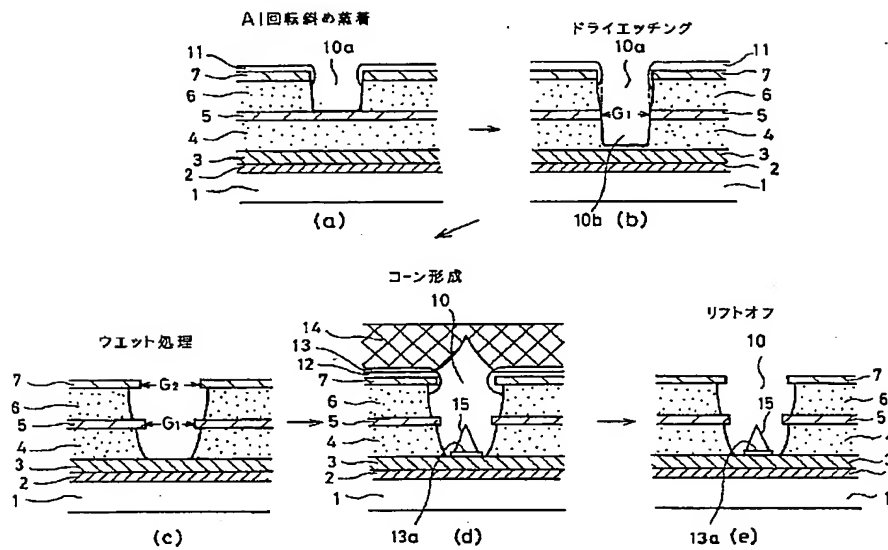
【符号の説明】

- 1、21 基板
- 2、22 薄膜導体層
- 3、23 抵抗層
- 4、6、24、26 絶縁層
- 5、25 第一ゲート電極層
- 7、27 第二ゲート電極層
- 8 レジスト層
- 10a、10b ホール
- 11、12、29 メタル層
- 13、30 バッファ材料層
- 14、31 エミッタ材料層
- 15、32 エミッタ

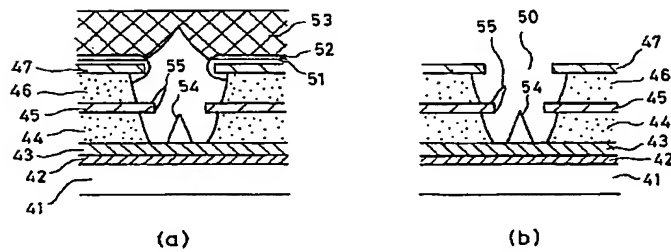
【図1】



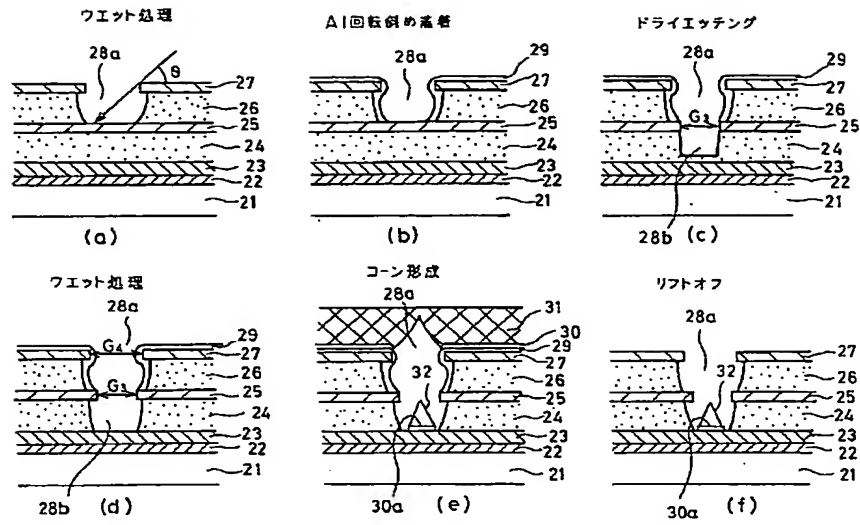
【図2】



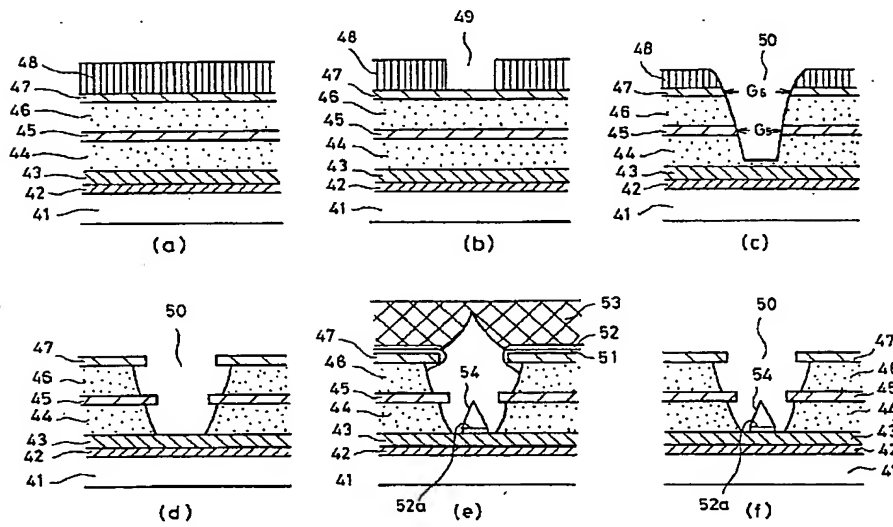
【図5】



【図3】



【図4】



フロントページの続き

(72)発明者 小原 有司  
千葉県茂原市大芝629 双葉電子工業株式  
会社内